

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076068

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/60

(21)Application number : 2000-265110

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing : 01.09.2000

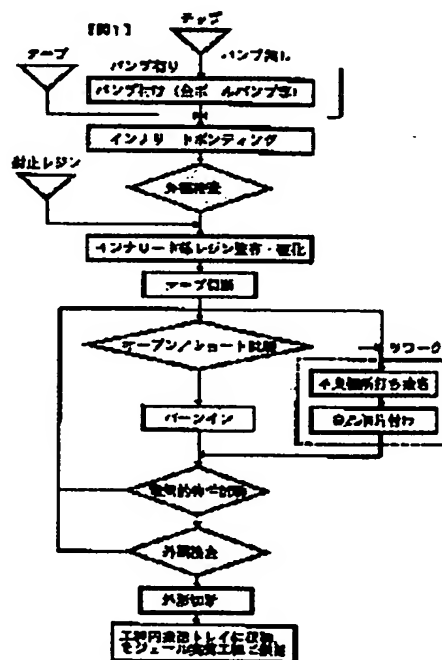
(72)Inventor : TOKIDA KENSUKE
TSUKUI SEIICHIRO
NAGAOKA KOJI
NAKAMURA ATSUSHI
KANNO TOSHIO

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the reduction of a production yield due to defective chips in MTCP ICs.

SOLUTION: This manufacturing method of a MTCP IC comprises a process of bonding inner leads to a tape carrier, an inspection process of inspecting plural chips whose inner leads have been bonded, a failure area cut-off process of cutting off the area with which a failure chip on the tape carrier is connected, and a good chip unit connection process connecting a good chip unit mechanically and electrically with a hole which is made by cutting off the failure chip on the tape carrier. In this case, chip-exchange pads are formed in advance on the top surface and under surface of the chip-connection area of the tape carrier. By aligning the chip-exchange pads on the top surface of the tape carrier with the chip-exchange pads on the under surface of a good chip unit, and soldering them, attachment of the good chip unit is achieved. In this manner, since an MTCP IC in total can be rescued by exchanging a defective chip with a good chip unit, the reduction of a production yield due to defective chips can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-76068

(P 2002-76068A)

(43) 公開日 平成14年3月15日 (2002. 3. 15)

(51) Int. Cl.⁷

H01L 21/60

識別記号

311

F I

H01L 21/60

テーマコード(参考)

311 W 5F044

311 Q

審査請求 未請求 請求項の数 5

O L

(全 10 頁)

(21) 出願番号 特願2000-265110(P2000-265110)

(22) 出願日 平成12年9月1日(2000. 9. 1)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町1番地1

(72) 発明者 常田 健祐

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100085637

弁理士 梶原 辰也

最終頁に続く

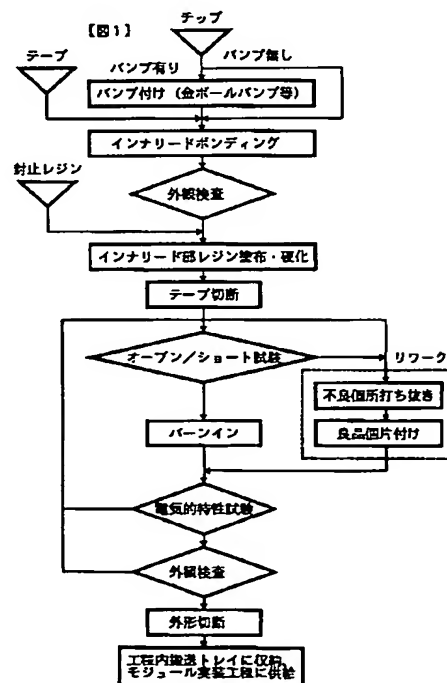
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 MTCP・ICの不良チップ存在による歩留りの低下を防止する。

【解決手段】 MTCP・ICの製造方法は、テープキャリアにチップをインナリードボンディングして行く工程と、インナリードボンディングされた複数個のチップを検査する検査工程と、テープキャリアの不良チップが接続された領域を打ち抜く不良箇所打ち抜き工程と、テープキャリアの不良チップ打ち抜き孔に良品個片を機械的かつ電氣的に接続する良品個片付け工程とを備えている。テープキャリアの各チップ接続領域の上下面にチップ置換用パッドを形成しておき、テープキャリアの上面側チップ置換用パッドに良品個片の下面側チップ置換用パッドを位置合わせして半田付けすることにより、良品個片付けが実行される。

【効果】 不良箇所を良品個片に置換することで、MTCP・IC全体を救うことができるため、不良のチップの存在による製造歩留りの低下を防止できる。



【特許請求の範囲】

【請求項 1】 テープキャリアに機械的かつ電氣的に接続された複数個の半導体チップを検査する検査工程と、前記テープキャリアにおける不良の半導体チップが接続された領域を打ち抜く不良箇所打ち抜き工程と、前記テープキャリアの不良チップ打ち抜き孔に良品個片を機械的かつ電氣的に接続する良品個片付け工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 2】 前記テープキャリアの前記半導体チップの接続領域にチップ置換用パッドが形成されており、前記良品個片が前記テープキャリアに前記チップ置換用パッドにおいて機械的かつ電氣的に接続されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記チップ置換用パッドが前記テープキャリアの上面および下面にそれぞれ形成されており、前記テープキャリアの上面側のチップ置換用パッドに前記良品個片の下面側のチップ置換用パッドが機械的かつ電氣的に接続されることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記良品個片がテープキャリアにリフロー半田付けされることを特徴とする請求項 1、2 または 3 に記載の半導体装置の製造方法。

【請求項 5】 前記テープキャリアの前記半導体チップの接続領域に位置合わせ孔が開設されており、この位置合わせ孔により前記良品個片が前記不良チップ打ち抜き孔に位置合わせされることを特徴とする請求項 1、2 または 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造技術、特に、半導体素子を含む半導体集積回路が作り込まれた半導体チップを複数個実装する技術に関し、例えば、メモリモジュールに利用して有効な技術に関する。

【0002】

【従来の技術】 記憶容量の増大の要求に応える従来のメモリモジュールとして、テープ・キャリア・パッケージ（以下、TCP という。）を備えた半導体集積回路装置（以下、IC という。）が複数個、矩形の平板形状に形成されたモジュール基板に横に並べられて実装されているものがある。

【0003】 なお、TCP の基板への実装技術を述べている例としては、日経 B P 社 1993 年 5 月 31 日発行の「実践講座 VLSI パッケージング技術（上）」P 267～P 272、がある。

【0004】

【発明が解決しようとする課題】 しかし、TCP を備えた IC（以下、TCP・IC という。）がモジュール基板に複数個横並びに実装されているメモリモジュールにおいては、モジュール基板には各 TCP・IC 同士を連絡する電気配線が複数箇所敷設されることになるた

め、モジュール基板に対する実装密度の向上には限界がある。

【0005】 そこで、本発明者は、メモリが作り込まれた複数個の半導体チップ（以下、チップという。）を TCP のテープキャリアに横並びに機械的に接続した状態のままで相互に電氣的に接続（連携）した状態とし、このマルチチップ TCP（以下、MTC P という。）をモジュール基板に実装させてなるメモリモジュールを、考えた。すなわち、この MTC P を使用したメモリモジュールによれば、モジュール基板には従来の TCP・IC によるメモリモジュールにおける TCP・IC 同士を連絡する複数箇所の電気配線敷設領域を省略することができるため、実装密度を大幅に向上させることができる。

【0006】 ところが、MTC P においては、複数個のチップのうちに一個でも不良品があると、MTC P 全体が不良品になってしまうため、製造歩留りがきわめて低下してしまうという問題点があることが本発明者によって明らかにされた。

【0007】 本発明の目的は、不良品の存在による製造歩留りの低下を防止することができる半導体装置の製造方法を提供することにある。

【0008】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0010】 すなわち、半導体装置の製造方法は、テープキャリアに機械的かつ電氣的に接続された複数個の半導体チップを検査する検査工程と、前記テープキャリアにおける不良の半導体チップが接続された領域を打ち抜く不良箇所打ち抜き工程と、前記テープキャリアの不良チップ打ち抜き孔に良品個片を機械的かつ電氣的に接続する良品個片付け工程とを備えていることを特徴とする。

【0011】 前記した手段によれば、テープキャリアに接続された複数個の半導体チップに不良品が発見された場合においては、テープキャリアの不良箇所を打ち抜いて良品個片と置換することにより、複数個の半導体チップが機械的かつ電氣的に接続されたテープキャリアパッケージ全体を救うことができるため、不良の半導体チップの存在による製造歩留りの低下を防止することができる。

【0012】

【発明の実施の形態】 図 1 は本発明の一実施の形態である半導体装置の製造方法を示すフローチャートである。図 2 以降はその各工程を示す図である。

【0013】 本実施の形態において、本発明に係る半導体装置の製造方法は、メモリモジュールに使用される M

TCPを備えたIC（以下、MTCP・ICという。）の製造方法として構成されており、図1に示されているフローを備えている。以下、図1のフローに従って、本実施の形態に係るMTCP・ICの製造方法を説明する。

【0014】図1に示されているように、MTCP・ICの製造方法においては、チップ準備工程においてチップ1（図3以降参照）が準備され、テープキャリア準備工程において図2に示されているテープキャリア2が準備される。

【0015】チップ1は所謂IC製造の前工程において半導体ウエハの状態であって、アクティブ・エリア側に半導体集積回路としてのメモリを作り込まれ、ダイシング工程において正方形の平板形状に分断されて製造される。チップ1のアクティブ・エリア側の表面はパッシベーション膜（図示せず）によって被覆されており、パッシベーション膜に形成された開口部には複数の電極パッド（図示せず）が外部に露出する状態に形成されている。複数の電極パッドにはバンパ付け工程においてバンパ（突起電極、Bump）1aがそれぞれ突設される。なお、図1に示されているように、チップにバンパが突設されない場合には、チップはバンパ付け工程を経ずにインナリードボンディング工程に供給される。

【0016】図2に示されているように、テープキャリア2はTCP・ICの製造方法に使用されているTAB（テープ・オートメテッド・ボンディング）テープに相当するものである。テープキャリア2は同一パターンが長手方向に繰返されている。テープキャリア2はポリイミド等の絶縁性樹脂が用いられて同一パターンが長手方向に連続するテープ形状に一体成形されているキャリア本体3を備えており、キャリア本体3の幅方向の両端部には正方形の小孔形状に形成されたパーフォレーション4がそれぞれ長手方向に一直列横隊に整列されている。キャリア本体3の中間部には長孔形状に形成された窓孔5が長手方向に等間隔に配列されて開口されている。

【0017】キャリア本体3の片側主面（以下、上面とする。）における各窓孔5の位置にはインナリード6が複数本ずつ敷設されており、各インナリード6の先端部は窓孔5に突出されている。各インナリード6の窓孔5と反対側には各アウトリード7がそれぞれ一連に連設されており、互いに一連になったインナリード6とアウトリード7とは機械的かつ電気的に一体の状態になっている。インナリード6群およびアウトリード7群は、銅や金等の良好な導電性を有する金属材料が使用されて形成されている。インナリード6群およびアウトリード7群の形成方法としては、キャリア本体3に溶着や接着等の固着手段によって固着させた銅箔や金箔をリソグラフィ処理およびエッチング処理によってパターンニングする方法や、キャリア本体3にリソグラフィ処

理によって選択的に金めっき処理する方法等がある。

【0018】アウトリード7のインナリード6と反対側の端部にはチップ置換用パッド8が矩形状の平板形状に形成されており、隣合うアウトリード7、7のチップ置換用パッド8、8間は電気的に接続されている。アウトリード7におけるインナリード6とチップ置換用パッド8との間にはスルーホール導体9がキャリア本体3を下面側に貫通して形成されている。キャリア本体3の下面には下面側チップ置換用パッド8Aが上面側のチップ置換用パッド8と対応するように矩形状の平板形状に形成されており、下面側チップ置換用パッド8Aはスルーホール導体9を通じてアウトリード7に電気的に接続されている。キャリア本体3の上面および下面には溶ダレジスト等の絶縁材料を使用した絶縁膜10が、インナリード6およびアウトリード7を被覆するようにそれぞれ被覆されている。但し、絶縁膜10は上下のチップ置換用パッド8、8Aを露出させた状態になっている。

【0019】各窓孔5毎におけるチップ置換用パッド8群の外側の四隅には位置合わせ孔11がキャリア本体3および絶縁膜10を貫通するようにそれぞれ開設されており、図1に想像線で示されているように、四個の位置合わせ孔11が画定する略正方形の枠線12はチップ置換用パッド8群列の中心を通過するようになっている。

【0020】以上のように構成されたテープキャリア2には前記構成に係るチップ1が、図1に示されているインナリードボンディング工程において機械的かつ電気的に接続される。すなわち、図3に示されているように、チップ1はテープキャリア2の上面にバンパ1aが各インナリード6にそれぞれ整合するように配されて接着材層13によって接着されて機械的に接続されるとともに、インナリード6の先端部がバンパ1aにインナリードボンディング装置のボンディングツール（図示せず）によって熱圧着される。

【0021】その後、図1に示されている外観検査工程において、テープキャリア2はチップ1のインナリードボンディング部等について外観検査される。すなわち、インナリード6が所定のバンパ1aに適正にインナリードボンディングされているか否か等が外観検査される。

【0022】外観検査が終了すると、図1に示されているインナリード部レジソ塗布・硬化工程において、図4に示されているように、テープキャリア2の各窓孔5の内部にエラストマやシリコンゴム等の絶縁性材料がポッティングされることによって、インナリード6群が樹脂封止部14によって樹脂封止される。

【0023】図1に示されているように、樹脂封止部14が形成されたテープキャリア2はテープ切断工程において、複数のチップ1から構成されるMTCP・IC組立体15毎に切断される。すなわち、本実施の形態においては、図5に示されているように、四個のチップ1を一つの単位とするMTCP・IC組立体15が、キャ

リア本体 3 が四個のチップ 1 のうちの両端のチップ 1、1 におけるチップ置換用パッド 8 群列のそれぞれの外側で横断的に切断されることにより、順次製造されて行く。

【0024】図 1 に示されているように、MTCP・IC 組立体 15 はオープン／ショート試験工程において、オープン不良またはショート不良の有無を検査される。そして、オープン不良またはショート不良が発見された場合には不良箇所打ち抜き工程に送られ、オープン不良またはショート不良が発見されなかった場合には、MTCP・IC 組立体 15 はバーンイン工程に送られる。

【0025】バーンインが実施された MTCP・IC 組立体 15 は電気的特性試験工程において、四個のチップ 1 について同時に電気的特性試験を実施される。電気的特性試験において、不良が発見された場合には不良箇所打ち抜き工程に送られ、不良が発見されなかった場合には外観検査工程に送られる。

【0026】外観検査工程において、外観不良が発見された MTCP・IC 組立体 15 は不良箇所打ち抜き工程に送られ、不良が発見されなかった MTCP・IC 組立体 15 は外形切断工程に送られる。

【0027】ここで、不良箇所打ち抜き工程およびそれに続く良品個片付け工程について説明する。

【0028】不良箇所打ち抜き工程に送られて来た MTCP・IC 組立体 15 には、図 6 に示されているように、不良のチップ 1 が搭載された領域を四個の位置合わせ孔 11 の内側において打ち抜かれることにより、不良チップ打ち抜き孔 16 が開設される。図 6 に示された実施の形態においては、MTCP・IC 組立体 15 の左側から二番目の領域に不良チップ打ち抜き孔 16 が形成されている。MTCP・IC 組立体 15 のキャリア本体 3 におけるチップ打ち抜き孔 16 の開口縁辺部の上面および下面には、上面側チップ置換用パッド 8 および下面側チップ置換用パッド 8A がそれぞれ配列された状態になっている。

【0029】図 1 に示されているように、不良チップ打ち抜き孔 16 が打ち抜かれた MTCP・IC 組立体 15 は良品個片付け工程に送られる。また、良品個片付け工程には図 7 に示されている良品個片 17 が送られて来る。

【0030】図 7 に示されているように、良品個片 17 は不良チップ打ち抜き孔 16 よりも大きめの相似形のシート形状に形成されており、良品個片 17 のキャリア本体 3 における四隅には位置合わせ孔 11 がそれぞれ開設された状態になっている。すなわち、良品個片 17 は MTCP・IC 組立体 15 における良品チップ搭載領域が四個の位置合わせ孔 11 の外側において打ち抜かれることにより得られた略正方形のシートである。

【0031】図 7 および図 8 に示されているように、良品個片付け工程においては、良品個片 17 が不良チップ

打ち抜き孔 16 に機械的かつ電気的に接続される。すなわち、MTCP・IC 組立体 15 の不良チップ打ち抜き孔 16 の外側の少なくとも二個の位置合わせ孔 11 に位置合わせピン 18 (図 7 参照) が挿入され、その位置合わせピン 18 に良品個片 17 の位置合わせ孔 11 が挿入されると、不良チップ打ち抜き孔 16 の開口縁辺部に配列された各上面側チップ置換用パッド 8 に良品個片 17 の外周縁辺部に配列された各下面側チップ置換用パッド 8A がそれぞれ整合された状態になる。この状態において、リフロー半田付け処理が実施されると、図 8 に示されているように、上面側チップ置換用パッド 8 と下面側チップ置換用パッド 8A とが半田付け部 19 によって半田付けされるため、良品個片 17 の良品チップ 1 は MTCP・IC 組立体 15 に機械的かつ電気的に接続された状態になる。なお、半田材料としては、鉛-錫系半田や銀系半田および金系半田等を使用することができる。

【0032】以上のようにして良品個片 17 が不良チップ打ち抜き孔 16 に整合されて機械的かつ電気的に接続された MTCP・IC 組立体 15 は、図 1 に示されているように、電気的特性試験工程に送られ、良品個片 17 に搭載されたチップ 1 を含めて四個のチップ 1 について同時に電気的特性試験を実施される。電気的特性試験において、不良が発見された MTCP・IC 組立体 15 は不良箇所打ち抜き工程に再度送られ、不良チップの領域を良品個片に置換される。不良が発見されなかった MTCP・IC 組立体 15 は外観検査工程に送られる。

【0033】外観検査工程において、外観不良が発見された MTCP・IC 組立体 15 は不良箇所打ち抜き工程に再度送られ、不良チップの領域を良品個片に置換される。他方、不良が発見されなかった MTCP・IC 組立体 15 は外形切断工程に送られる。

【0034】外形切断工程に送られた MTCP・IC 組立体 15 はキャリア本体 3 の不要部分を切断されて、図 9 に示されているように、MTCP・IC 20 を形成される。すなわち、MTCP・IC 組立体 15 のキャリア本体 3 は四個のチップ 1 の外側付近で矩形に切断される。

【0035】図 1 に示されているように、外形切断工程の切断によって製造された MTCP・IC 20 は工程内搬送トレイに収納されてモジュール実装工程に供給されて行く。

【0036】前記実施の形態によれば、次の効果が得られる。

【0037】1) MTCP・IC 組立体において不良のチップが発見された場合においては、テープキャリアの不良箇所を打ち抜いて良品個片と置換することにより、MTCP・IC 組立体全体を救うことができるため、不良チップの存在による MTCP・IC の製造歩留りの低下を防止することができる。

【0038】2) 前記 1) により、予め良品であることが

保証されたチップ（所謂KGDやWPP）を使用しないでMTC P・I Cを製造することができるため、予め良品であることが保証されたチップを使用してMTC P・I Cを製造する場合に比べて、製造コストを低減することができる。

【0039】3) 前記1)により、比較的歩留りが低い世代初期のチップによってMTC P・I Cを製造することができるため、世代の初期から容易に製品戦略を立てることができる。

【0040】4) 前記1)、2)および3)により、MTC P・I Cの製造コストを大幅に低減することができる。

【0041】5) MTC P・I Cを製造してモジュール基板に実装することにより、複数のT C P・I Cをモジュール基板に実装する場合に比べて、各T C P・I C同士を連絡する電気配線の敷設領域を省略することができるため、メモリモジュールの実装密度を高めることができ、メモリモジュールの記憶容量を向上させることができる。

【0042】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】例えば、MTC P・I Cは四個のチップによって構成するに限らず、二個以上の複数のチップによって構成することができる。

【0044】良品個片と不良チップ打ち抜き孔との位置合わせは、位置合わせ孔によって実行するに限らず、チップ置換用パッドを利用した画像認識法等の方法によって実行してもよい。

【0045】良品個片のチップ置換用パッドと不良チップ打ち抜き孔のチップ置換用パッドとを機械的かつ電気的に接続する手段としては、リフロー半田付け処理を使用するに限らず、金-金共晶層や金-錫共晶層等による熱圧着法、銀ペーストや異方導電性フィルム等による接着法等を使用してもよい。

【0046】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリモジュールに使用されるMTC P・I Cの製造方法に適用した場合について説明したが、それに限定されるものではなく、その他の半導体装置の製造方法全般に適用することができる。

【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次

の通りである。

【0048】テープキャリアに接続された複数の半導体チップに不良品が発見された場合においては、テープキャリアの不良箇所を打ち抜いて良品個片と置換することにより、複数の半導体チップが機械的かつ電氣的に接続されたテープキャリアパッケージ全体を救うことができるため、不良の半導体チップの存在による製造歩留りの低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造方法を示すフローチャートである。

【図2】テープキャリアを示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

【図3】インナリードボンディング後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

【図4】樹脂封止後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

【図5】テープ切断後を示す一部省略平面図である。

【図6】不良箇所打ち抜き後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

【図7】良品個片付け工程を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

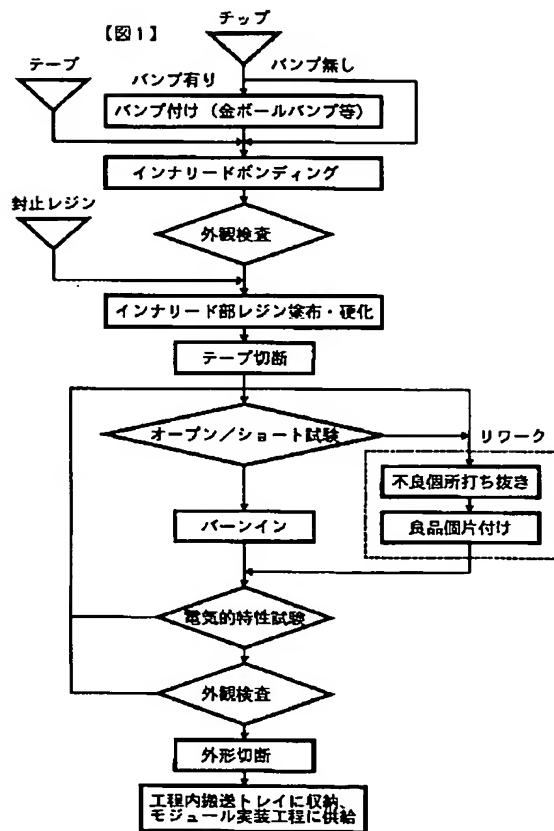
【図8】良品個片付け後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

【図9】外形切断後を示しており、(a)は一部省略平面図、(b)は(a)のb-b線に沿う正面断面図である。

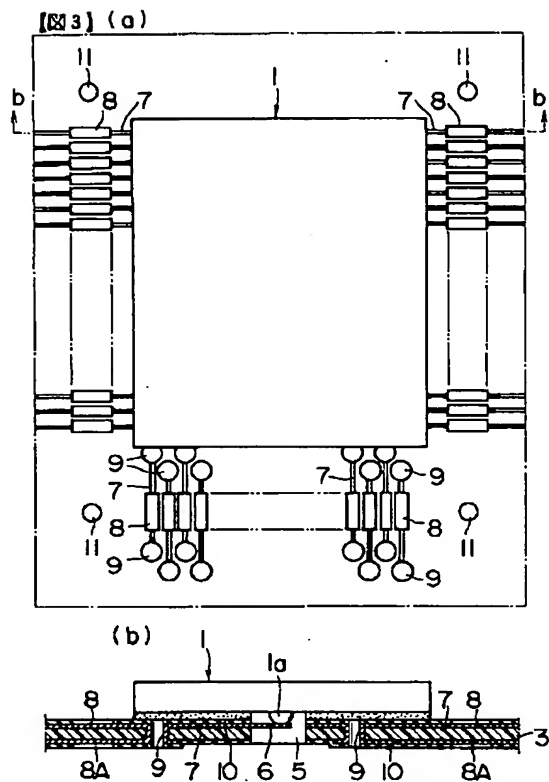
【符号の説明】

1…チップ（半導体チップ）、1a…バンプ、2…テープキャリア、3…キャリア本体、4…パーフォレーション、5…窓孔、6…インナリード、7…アウトリード、8、8A…チップ置換用パッド、9…スルーホール導体、10…絶縁膜、11…位置合わせ孔、12…枠線、13…接着材層、14…樹脂封止部、15…MTC P・I C組立体、16…不良チップ打ち抜き孔、17…良品個片、18…位置決めピン、19…半田付け部、20…MTC P・I C（半導体装置）。

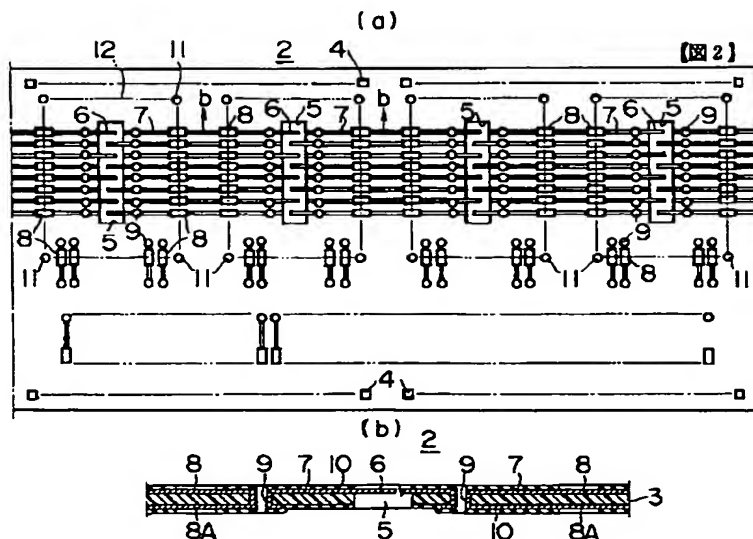
【図 1】



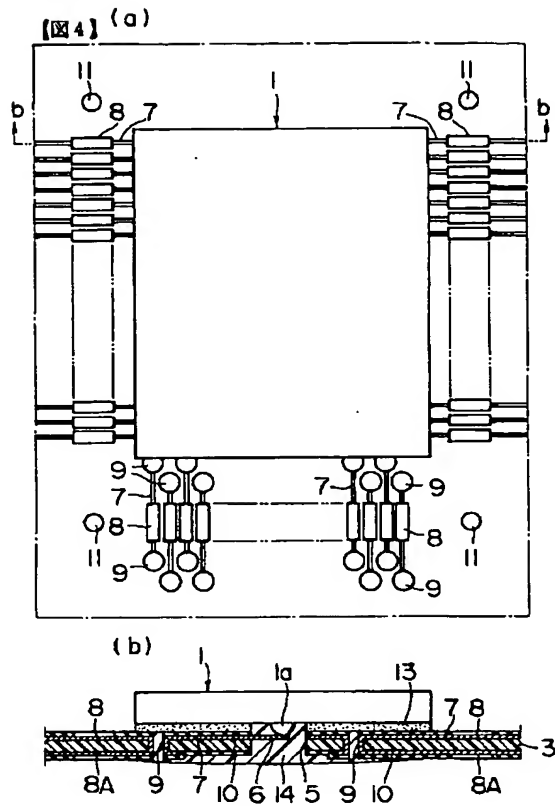
【図 3】



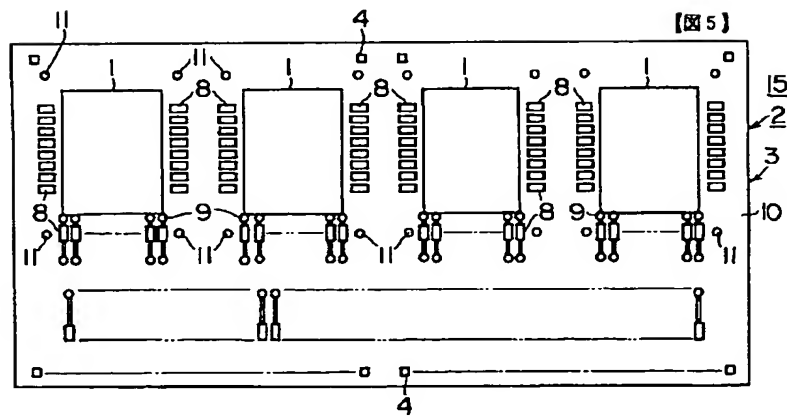
【図 2】



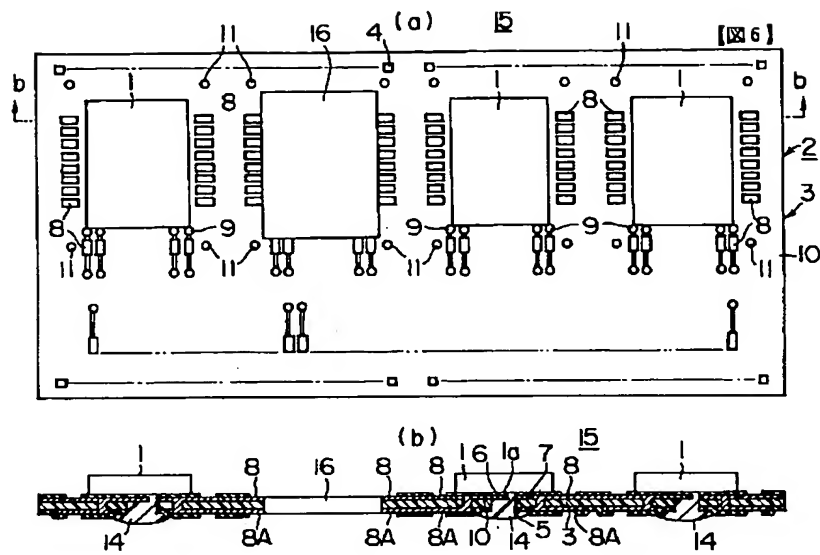
【図 4】



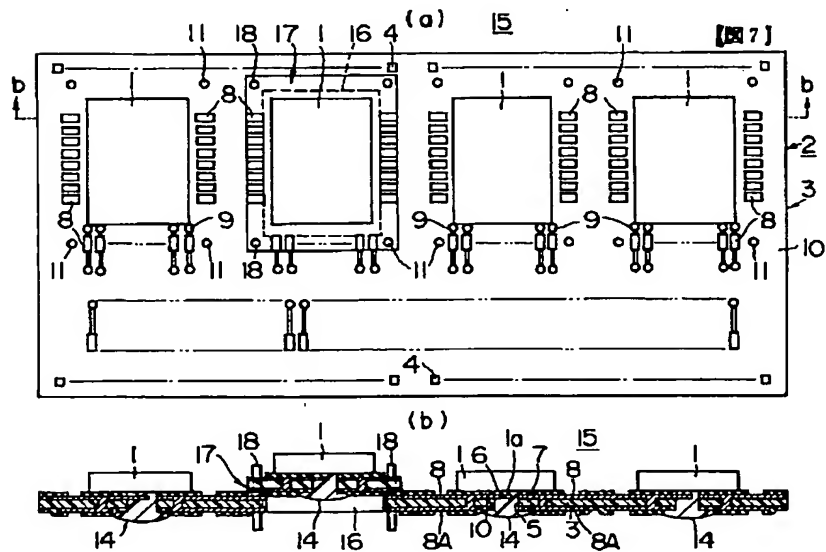
【図 5】



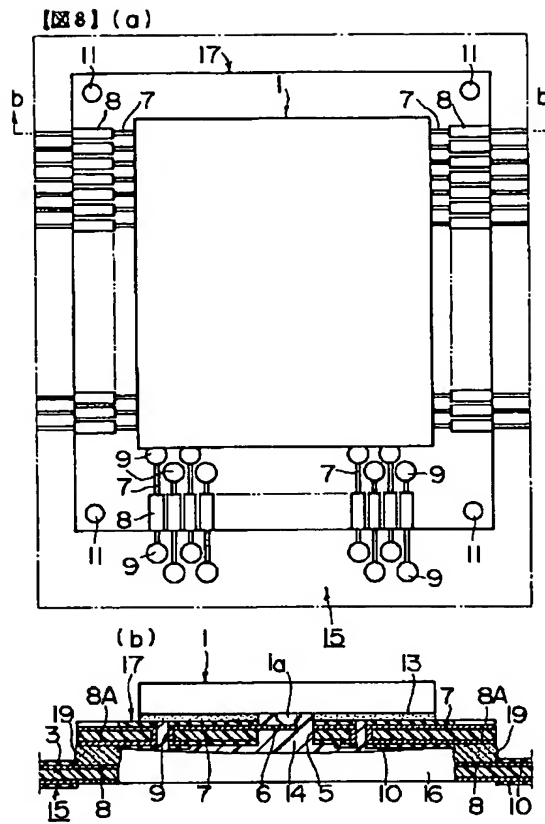
【図 6】



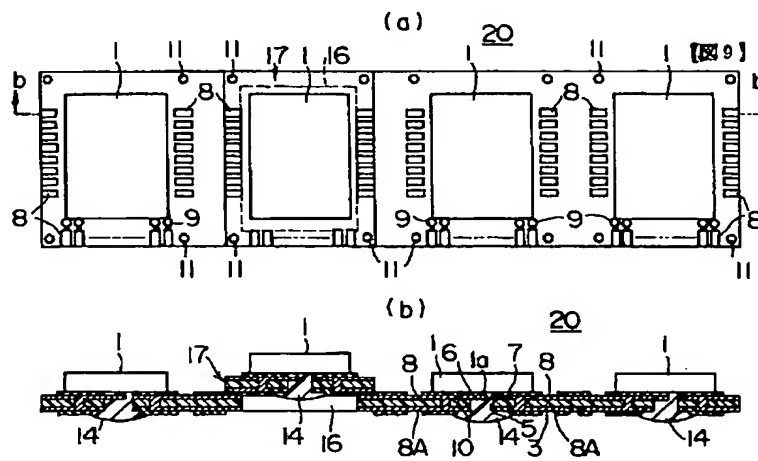
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 津久井 誠一郎
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内
(72)発明者 長岡 講二
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内

(72)発明者 中村 淳
群馬県高崎市西横手町1番地1 日立東部
セミコンダクタ株式会社内
(72)発明者 管野 利夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内
Fターム(参考) 5F044 KK09 MM48